

РЕЦЕНЗИЯ

на выпускную экзаменационную работу обучающегося СПбГУ

Романова Алексея Александровича

по теме “Исследование производительности векторного расширения для RISC-V ядер”

Архитектура системы команд RISC-V в настоящий момент активно развивается и находит многочисленные применения как во встраиваемых системах, так и в серверных применениях. Векторные инструкции являются одним из основных инструментов повышения производительности современных процессоров. При этом итоговая производительность зависит от многих факторов, в том числе от характеристик аппаратной реализации, от возможностей векторизации в компиляторе, от реализации стандартной библиотеки. Поэтому тема исследования производительности векторного расширения в настоящий момент весьма актуальна.

Во введении автором описывается контекст работы и приводится обоснование актуальности выбранной темы. В разделе “Постановка задачи” формулируется цель работы и основные задачи, решаемые в рамках данной работы. В разделе “Обзор векторного расширения RISC-V” описаны основные принципы устройства векторного расширения RVV, приводятся результаты некоторых исследований производительности кода, использующего RVV, и сравнение RVV с векторным расширением AVX512 для процессоров x86_64. В разделе “Приложение для тестирования автовекторизации” описывается общая структура тестов, проверяющих наличие векторных инструкций в сгенерированном коде. В разделе “Приложение для автоматического измерения производительности RVV” описывается общая структура тестов, измеряющих для конкретного ядра фактическое время исполнения в тактах. В разделе “Тестирование и эксперименты” описаны конкретные тесты на производительность, приведены результаты экспериментов, основанных на этих тестах, и сделаны некоторые выводы, касающиеся особенностей текущей реализации RVV в процессорах Syntacore.

Также был предоставлен исходный код разработанных тестов.

В работе были выявлены следующие недостатки:

- В обзоре системы команд RISC-V есть некоторые неточности: размер инструкций в архитектуре команд RISC-V не ограничен 32 битами. “Сжатые” инструкции из расширения семейства команд RVC имеют длину 16 бит. Кроме этого, спецификация RISC-V допускает инструкции длины более чем 32 бита (правда, в настоящий момент в стандартизованных расширениях такие инструкции не используются). Полиморфное поведение команд RVV связано не столько с ограниченностью размера кодового слова, сколько с необходимостью поддерживать в рамках одного стандартизованного расширения процессорные ядра из достаточно разных классов - от встраиваемых систем с существенными ресурсными ограничениями до суперкомпьютеров. Такие процессоры будут иметь разную длину векторных регистров, что требует достаточной гибкости в системе команд.
- Отказ от языка C++ и библиотеки `nanobench` выглядит не достаточно обоснованным, однако переработка библиотеки `nanobench` под нужды разработки

процессора и RTL-симуляции не относится непосредственно к теме данной работы.

Задачи, поставленные в рамках работы, можно считать выполненными. Автор достаточно глубоко разобрался в выбранной теме и проделал большое исследование, результаты которого могут быть применены к дальнейшему улучшению реализации векторного расширения в процессорах Syntacore. Несмотря на выявленные замечания, работа соответствует основным требованиям, предъявляемым к выпускной квалификационной работе бакалавра, и заслуживает оценки “отлично”.

Петров Дмитрий Николаевич

ведущий инженер по разработке программного обеспечения, компания Syntacore